

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-004817

(43)Date of publication of application : 12.01.2001

(51)Int.Cl.

G02B 5/18

(21)Application number : 11-176064

(71)Applicant : CANON INC

(22)Date of filing : 22.06.1999

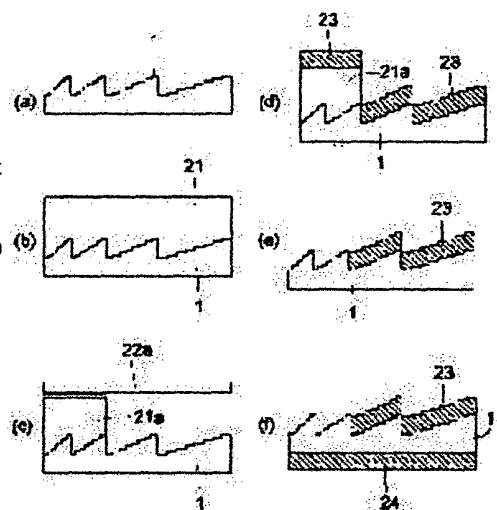
(72)Inventor : TAMAMORI KENJI
TANAKA ICHIRO

(54) DIFFRACTION OPTICAL ELEMENT AND MANUFACTURE THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a diffraction optical element capable of improving diffraction efficiency.

SOLUTION: A resist film 21 is formed (b) on BO(binary optic) element 1 (a). Next, the system is exposed to light with a reticle 22 as a mask to form a resist pattern 21a having a desired dimension (c). Moreover, regions having a pitch of a stepwise periodic structure of 7 μm or less is masked by the resist pattern 21a. After a reflection prevention film 23 having an eight layer stacking structure made of SiO_2 and Al_2O_3 is formed (d) on the BO element 1 and the resist pattern 21a using a sputter method, the resist pattern 21a and the reflection prevention film 23 formed on the resist pattern 21a are removed (e) using a lift-off method to form the reflection prevention film 23 having the eight layer stacking structure at a desired position having a pitch of the stepwise periodic structure of a diffraction grid unit on the BO element 1 of 7 μm or more, and a reflection prevention film 24 having an eight layer stacking structure made of SiO_2 and Al_2O_3 is formed on the other face where the stepwise periodic structure of the BO element 1 is not formed using the sputter method in the same way as (d).



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁(JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開 2001-4817

(P 2001-4817 A)

(43) 公開日 平成13年1月12日 (2001. 1. 12)

(51) Int. Cl. 7

識別記号

F I

テーマコード(参考)

G 0 2 B 5/18

G 0 2 B 5/18

2H049

審査請求 未請求 請求項の数 1 2 O L

(全 6 頁)

(21) 出願番号 特願平11-176064

(22) 出願日 平成11年6月22日 (1999. 6. 22)

(71) 出願人 000001007

キャノン株式会社

東京都大田区下丸子3丁目30番2号

(72) 発明者 玉森 研爾

東京都大田区下丸子三丁目30番2号 キャ
ノン株式会社内

(72) 発明者 田中 一郎

東京都大田区下丸子三丁目30番2号 キャ
ノン株式会社内

(74) 代理人 100075948

弁理士 日比谷 征彦

F ターム(参考) 2H049 AA03 AA04 AA33 AA37 AA44

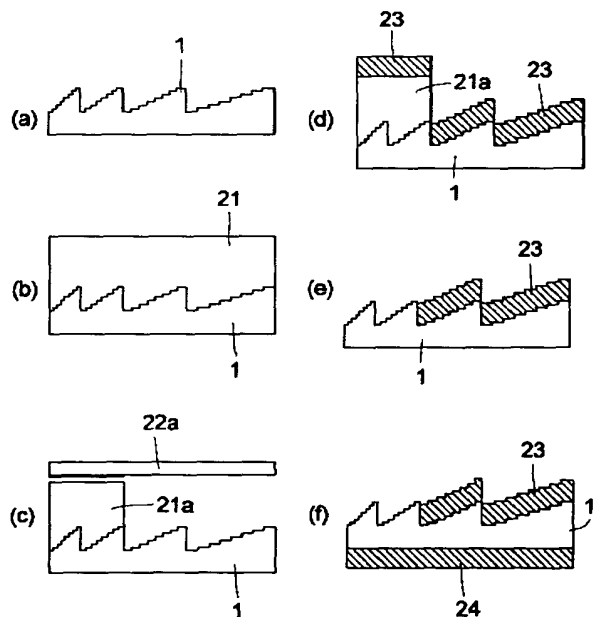
AA48 AA51 AA63 AA64

(54) 【発明の名称】 回折光学素子及びその製造方法

(57) 【要約】

【課題】 回折効率を向上させた回折光学素子を得る。

【解決手段】 BO素子 1 (a) 上にレジスト膜 21 を形成する(b)。次に、レチクル 22 をマスクとして露光し、所望の寸法のレジストパターン 21 a が形成される(c)。また、階段状周期構造のピッチが $7\mu\text{m}$ 以下の領域をレジストパターン 21 a によってマスキングする。BO素子 1 及びレジストパターン 21 a 上にスパッタ法を用いて膜厚 SiO_2 と Al_2O_3 から成る 8 層積層構造の反射防止膜 23 を成膜(d)した後に、リフトオフ法を用いてレジストパターン 21 a 及びこのレジストパターン 21 a 上に成膜した反射防止膜 23 を除去(e)することにより、BO素子 1 上の回折格子単位の階段状周期構造のピッチが $7\mu\text{m}$ 以上の所望の位置に、8 層積層構造の反射防止膜 23 を形成し、BO素子 1 の階段状周期構造が形成されていない他面に、(d)と同様にスパッタ法を用いて SiO_2 と Al_2O_3 から成る 8 層積層構造の反射防止膜 24 を成膜する(f)ことにより、階段状周期構造のピッチが $7\mu\text{m}$ 以上の領域上の所望の位置に、反射防止膜 23 を成膜した回折光学素子 25 が得られる。



【特許請求の範囲】

【請求項 1】 階段状周期構造上に、反射防止膜を有する領域と該反射防止膜を有しない領域を設けたことを特徴とする回折光学素子。

【請求項 2】 階段状周期構造上に、反射防止膜を形成する位置に応じてその膜構造を異なるようにしたことを特徴とする回折光学素子。

【請求項 3】 前記反射防止膜を有する領域は、前記反射防止膜を形成した位置に応じてその膜構造を異なるようにしたことを特徴とする請求項 1 に記載の回折光学素子。

【請求項 4】 前記反射防止膜の有無の領域は、回折パターンのピッチ構造に対応することを特徴とする請求項 1 に記載の回折光学素子。

【請求項 5】 前記反射防止膜の膜構造が、回折パターンのピッチ構造に対応することを特徴とする請求項 2 または 3 に記載の回折光学素子。

【請求項 6】 前記回折パターンのピッチが短い領域の前記反射防止膜の層数が、前記回折パターンのピッチが長い領域の前記反射防止膜の層数よりも少ないことを特徴とする請求項 5 に記載の回折光学素子。

【請求項 7】 前記回折パターンのピッチが短い領域の前記反射防止膜の膜厚が、前記回折パターンのピッチが長い領域の前記反射防止膜の膜厚よりも小さいことを特徴とする請求項 5 に記載の回折光学素子。

【請求項 8】 階段状周期構造上に、反射防止膜を有する領域と該反射防止膜を有しない領域を形成する際に、リフトオフ法により一方の領域をマスキングすることを特徴とする回折光学素子の製造方法。

【請求項 9】 階段状周期構造上に、反射防止膜を形成する位置に応じてその膜構造を異なるように前記反射防止膜を形成する際に、リフトオフ法により一方の領域をマスキングすることを特徴とする回折光学素子の製造方法。

【請求項 10】 請求項 1～7 に記載の回折光学素子を有する光学系。

【請求項 11】 請求項 10 に記載の光学系を有する投影露光装置。

【請求項 12】 請求項 11 に記載の投影露光装置による露光工程を含むデバイス製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、例えば光学系のレンズとして露光装置、撮影装置、照明装置等に組み込み使用する回折光学素子及びその製造方法に関するものである。

【0002】

【従来の技術】従来から、回折光学素子は分光器の分光素子として使用されており、その断面形状は所謂鋸歯状のブレードタイプであり、表面反射を考慮しない場合

には、回折効率が 100% に達するものもある。一方、近年では回折を利用した光学素子として、階段状の格子断面形状を有するバイナリオプティックス (BO) 素子が注目されており、所定周期の階段状周期構造状格子を形成した BO 素子は、色消し効果や非球面効果を有しているため、新しい光学系への発展に大きな期待が持たれている。

【0003】この BO 素子はブレードタイプ等の現在の切削加工限界を大幅に超えている。しかしながら、半導体加工法であるフォトリソグラフィ技術を用いることによって、高精度の微細加工が或程度可能となっている。一般に、可視光領域で使用される光学素子の場合には、金属の型材を用いた型加工による合成樹脂及び硝子のモールド法により製造が可能であるが、紫外線等の波長の短い光線に適用するためには使用できる材料が限定され、更により微細な加工精度及び高い寸法精度が要求される。

【0004】このために、紫外線や遠紫外線に適用可能な BO 素子は、半導体加工用の紫外線を用いたフォトリソグラフィ技術及びドライエッチング加工等を用いて作製する必要がある。

【0005】また、このような回折光学素子の素子表面の反射防止については、例えば OPTICAL ENGINEERING, 33, (1994) 3537～3546 に 8 段、16 段等の BO 素子上に多層の反射防止膜を形成する方法が開示されている。

【0006】

【発明が解決しようとする課題】BO 素子の基板に石英、露光手段に i 線用ステッパ、ドライエッチングに平行平板型の RIE 装置を使用して、フォトリソグラフィ技術により 8 段の BO 素子を製造し、回折効率を向上させるために 8 段の BO 素子の表面にスパッタ法等を用いて反射防止膜を形成することにより、回折効率は階段状周期構造のピッチの広い領域 (低周波域) では多少の向上が見られる。しかし、ピッチの狭い領域 (高周波域) では BO 素子の周期構造単位の側壁にも反射防止膜が成膜されるために、反射防止膜を形成しない場合よりも回折効率が低下する。

【0007】図 9 は BO 素子の回折効率を示している。表面に反射防止膜を成膜しない BO 素子 A、表面に 1 層構造の反射防止膜を成膜した BO 素子 B、表面に 8 層積層構造の反射防止膜を成膜した BO 素子 C の格子ピッチに対する回折効率を示している。なお、BO 素子 A、B、C はその裏面には反射防止膜を形成していない。

【0008】階段状周期構造のピッチの広い領域では、8 層積層構造の反射防止膜を形成した BO 素子 C の回折効率は、1 層構造の反射防止膜を形成した BO 素子 B や反射防止膜を形成していない BO 素子 A の回折効率よりも高い。しかし、ピッチが狭くなるに従って、BO 素子 C の回折効率は BO 素子 B や BO 素子 A の回折効率よりも低下する。

【0009】本発明の目的は、上述の問題点を解消し、回折効率が高い回折光学素子及びその製造方法を提供することにある。

【0010】

【課題を解決するための手段】上記目的を達成するための本発明に係る回折光学素子は、階段状周期構造上に、反射防止膜を有する領域と該反射防止膜を有しない領域を設けたことを特徴とする。

【0011】本発明に係る回折光学素子は、。階段状周期構造上に、反射防止膜を形成する位置に応じてその膜構造を異なるようにしたことを特徴とする。

【0012】本発明に係る回折光学素子の製造方法は、階段状周期構造上に、反射防止膜を有する領域と該反射防止膜を有しない領域を形成する際に、リフトオフ法により一方の領域をマスクングすることを特徴とする。

【0013】本発明に係る回折光学素子の製造方法は、階段状周期構造上に、反射防止膜を形成する位置に応じてその膜構造を異なるように前記反射防止膜を形成する際に、リフトオフ法により一方の領域をマスクングすることを特徴とする。

【0014】

【発明の実施の形態】本発明を図1～図8に図示の実施例に基づいて詳細に説明する。図1は階段状周期構造状の回折格子が形成されたBO素子1の斜視図を示しており、波長 $\lambda = 248\text{ nm}$ のKrFレーザー光を想定して、回折格子である階段状周期構造の数は約1800本としている。また、図2は8段のBO素子1の断面図を示しており、最外周の階段状周期構造は設計値では各段の幅が $0.35\text{ }\mu\text{m}$ 、高さは $0.061\text{ }\mu\text{m}$ から成り、回折要素としては階段状周期構造のピッチは $2.8\text{ }\mu\text{m}$ 、高さは $0.427\text{ }\mu\text{m}$ である。

【0015】図3は製作時のBO素子1及びマスクの断面図を示している。BO素子1の作製にはクロムマスク11～13を順次に使用する。 $\lambda = 365\text{ nm}$ のi線用ステッパを使用し、マスクパターンを石英基板上のフォトリソに縮小焼付けし、このレジストパターンをエッチングマスクとしてドライエッチング(RIE)法を用いて石英基板の表面をエッチング加工する。この工程をそれぞれのクロムマスク11～13を使用して3回繰り返すことにより、8段形状のBO素子1を作製することができる。なお、BO素子1の作製方法は、これ以外の方法を用いてもよい。

【0016】図4は上述した方法により作成したBO素子1上に反射防止膜を形成するための第1の実施例の製作模式図を示している。図4(a)は上述した方法により作成した SiO_2 (石英) 基板から成る8段の段差を有するBO素子1を示している。図4(b)に示すように、このBO素子1上にフォトリソを滴下し、スピコートによりレジストを $1\text{ }\mu\text{m}$ 程度の薄膜とした後に、ベーク処理を行うことによりレジスト膜21を形成す

る。次に、図4(c)に示すように図示しない露光装置にBO素子1を装着し、所望のパターンを有するレチクル22をマスクとして露光する。この際に、レジスト膜21にポジタイプのレジストを用いた場合には、露光された領域は現像液に可溶となり、レチクル22のパターンがレジスト膜21に転写され、所望の寸法のレジストパターン21aが形成される。本実施例においては、階段状周期構造のピッチが $7\text{ }\mu\text{m}$ 以下の領域をレジストパターン21aによってマスクングする。

【0017】次に、図4(d)に示すように、BO素子1及びレジストパターン21a上に、スパッタ法を用いて膜厚約 545 nm の SiO_2 と Al_2O_3 (アルミナ) から成る8層積層構造の反射防止膜23を成膜した後に、図4(e)に示すようにリフトオフ法を用いてレジストパターン21a及びこのレジストパターン21a上に成膜した反射防止膜23を除去することにより、BO素子1上の階段状周期構造のピッチが $7\text{ }\mu\text{m}$ 以上の所望の位置に、8層積層構造の反射防止膜23を形成することができる。

【0018】続いて、図4(f)に示すように、BO素子1の階段状周期構造が形成されていない他面に、図4(d)と同様にスパッタ法を用いて膜厚約 545 nm の SiO_2 と Al_2O_3 から成る8層積層構造の反射防止膜24を成膜する。このようにして、階段状周期構造のピッチが $7\text{ }\mu\text{m}$ 以上の所望の位置に、反射防止膜23を成膜した回折光学素子25を製作することができる。

【0019】また、BO素子1における階段状周期構造のピッチと反射防止膜23を形成する領域の間隔は、成膜手段やBO素子1の構造や反射防止膜23の構造や膜厚等の諸条件に応じて変更してもよい。

【0020】図5はBO素子1上に反射防止膜を形成する第2の実施例の製作模式図を示している。まず、第1の実施例と同様に図5(a)に示すようなBO素子1上に、図5(b)に示すようにレジスト膜31を形成した後に、図5(c)に示すように、所望のパターンを有するレチクル32aをマスクとして露光することによりレチクル32aのパターンがレジスト膜31に転写されてパターン化され、所望の寸法のレジストパターン31aが形成される。本実施例においては、階段状周期構造のピッチが $8\text{ }\mu\text{m}$ 以上の領域をレジストパターン31aによってマスクングする。

【0021】次に図5(d)に示すように、真空蒸着法を用いてBO素子1及びレジストパターン31a上に膜厚約 43 nm の MgF_2 (弗化マグネシウム) から成る反射防止膜33を成膜する。続いて、図5(e)に示すようにリフトオフ法を用いて、レジストパターン31a及びこのレジストパターン31a上に成膜した反射防止膜33を除去することにより、階段状周期構造のピッチが $8\text{ }\mu\text{m}$ 以下の所望の位置に、 MgF_2 から成る反射防止膜33を形成することができる。

【0022】更に、図5(f)に示すように図5(b)と同様に、BO素子1及び反射防止膜33上に再度、レジスト膜31を形成した後に、図5(g)に示すように図5(c)と同様にレチクル32bをマスクとして露光し現像することにより、所望の寸法のレジストパターン31bを形成する。また、本実施例におけるこの工程においては、階段状周期構造のピッチが $8\mu\text{m}$ 以下の領域をレジストパターン31bによってマスクングする。次に、図5(h)に示すようにスパッタ法を用いて膜厚約 545nm のSiO₂とAl₂O₃から成る8層積層構造の反射防止膜34を成膜する。続いて、図5(i)に示すようにリフトオフ法を用いて、レジストパターン31bとこのレジストパターン31b上の反射防止膜34を除去する。

【0023】次に、図5(j)に示すように、BO素子1の階段状周期構造が形成されていない他面に、図5(h)と同様にスパッタ法を用いて、膜厚約 545nm のSiO₂とAl₂O₃から成る8層積層構造の反射防止膜35を成膜する。このようにして、階段状周期構造のピッチが $8\mu\text{m}$ 以下の所望の位置に単層構造の反射防止膜33を形成し、ピッチが $8\mu\text{m}$ 以上の所望の位置に8層積層構造の反射防止膜34を成膜した回折光学素子36を製作することができる。

【0024】また、BO素子1における階段状周期構造のピッチと反射防止膜33、34を形成する領域の間隔は、成膜手段やBO素子1の構造や反射防止膜33、34の構造や膜厚等の諸条件に応じて変更してもよい。

【0025】図6はi線或いはKrF等の紫外線を用いた半導体露光装置の構成図を示しており、上述した実施例により作製した回折光学素子が搭載されている。

【0026】波長 $\lambda=248\text{nm}$ の光源を有する照明系41から出射されたレーザー光はレチクル42を照射し、レチクル42に描かれたパターンを結像光学系43によりステージ44上の基板45に $1/5$ の縮小倍率で描画する。この結像光学系43には、色収差低減と非球面効果を持たせるために、先の実施例の方法により作製した回折光学素子46が組み込まれている。なお、この回折光学素子46は直径 120mm で8段の階段状のBO構造を有している。最外周の階段状周期構造は各段の幅が $0.35\mu\text{m}$ 、高さは $0.061\mu\text{m}$ から成り、回折格子単位としては階段状周期構造のピッチは $2.8\mu\text{m}$ 、高さは $0.427\mu\text{m}$ である。

【0027】図7はICやLSI等の半導体チップ、液晶パネル或いはCCD等の半導体デバイスの製造工程のフローチャート図を示している。先ず、ステップS1において半導体デバイスの回路設計を行い、続いてステップS2においてステップS1で設計した回路パターンをEB描画装置等を用いマスクを作成する。一方、ステップS3においてシリコン等の材料を用いてウェハを製造する。その後、前工程と呼ばれるステップS4において、ステップS2、S3において用意したマスク及びウ

ェハを用い、マスクを露光装置内にローディングし、マスクを搬送しマスクチャックにチャッキングする。

【0028】次に、ウェハをローディングしてアライメントのずれを検出して、ウェハステージを駆動して位置合わせを行い、アライメントが合致すると露光を行う。露光の終了後にウェハは次のショットヘステップ移動し、リソグラフィ技術によってウェハ上に回路を形成する。更に、後工程と呼ばれるステップS5において、ステップS4によって製造されたウェハを用いてダイシング、ボンディング等のアッセンブリ工程、チップ封入等のパッケージング工程を経て半導体チップ化する。チップ化された半導体デバイスについて、ステップS6において動作確認テスト、耐久テスト等の検査を行う。このような一連の工程を経て半導体デバイスは完成し、ステップS7に進み出荷される。

【0029】図8は図7におけるステップS4において、ウェハプロセスの詳細な製造工程のフローチャート図を示している。先ず、ステップS11においてウェハ表面を酸化させる。続いて、ステップS12においてウェハ表面をCVD法により絶縁膜を形成し、ステップS13において電極を蒸着法により形成する。更に、ステップS14に進みウェハにイオンを打込み、続いてステップS15においてウェハ上に感光剤を塗布する。ステップS16では、半導体露光装置によりマスクの回路パターンをウェハ上の感光剤上に焼付ける。

【0030】ステップS17において、ステップS16において露光したウェハ上の感光剤を現像する。更に、ステップS18でステップS17において現像したレジスト像以外の部分をエッチングする。その後、ステップS19においてエッチングが済んで不要となったレジストを剥離する。更に、これらの一連の工程を繰り返すことにより、ウェハ上に多重の回路パターンを形成することができる。

【0031】この製造方法を用いれば、ステップS16においてウェハ面は各種の光学的収差の補正された均一な照明光により照射されるので、従来は製造が困難であった高集積度の半導体デバイスを容易かつ確実に製造することができる。

【0032】

【発明の効果】以上説明したように本発明に係る回折光学素子は、基板に形成した階段状周期構造上に、入射光の反射率を低減する反射防止膜を成膜したりしなかったりする領域を設けることにより回折効率が向上する。また、階段状周期構造の低周波域に成膜し、高周波域においては反射防止膜を成膜しなかったり、或いは薄い反射防止膜を成膜すれば、階段状周期構造の各素子単位の壁面に反射防止膜材料が成膜されることがなかったり或いは無視できる程度に少ないため、高周波域の回折効率が大幅に改善され、可視光線、赤外線、紫外線領域のみならず、遠紫外線や真空紫外線領域においても使用可能と

なるように性能が向上する。

【0033】また、本発明に係る回折光学素子の製造方法は、基板に形成した階段状周期構造上に反射防止膜を成膜したり、異なる種類の反射防止膜を成膜することにより、回折効率の良好な回折光学素子を安価に製造することができる。

【図面の簡単な説明】

【図1】BO素子の斜視図である。

【図2】BO素子の断面図である。

【図3】BO素子とマスクの断面図である。

【図4】第1の実施例の反射防止膜の形成模式図である。

【図5】第2の実施例の反射防止膜の形成模式図である。

【図6】半導体露光装置の構成図である。

【図7】半導体デバイスの製造工程のフローチャート図である。

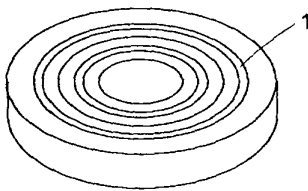
【図8】ウェハプロセスのフローチャート図である。

【図9】回折ピッチに対する回折効率のグラフ図である。

【符号の説明】

- 1 BO素子
- 11、12、13 クロムマスク
- 21、31 レジスト膜
- 21a、31a、31b レジストパターン
- 22、32a、32b レチクル
- 23、24、33、34、35 反射防止膜
- 25、36、46 回折光学素子
- 41 照明系
- 42 レチクル
- 43 結像光学系
- 44 ステージ
- 45 基板

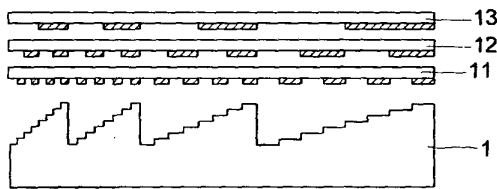
【図1】



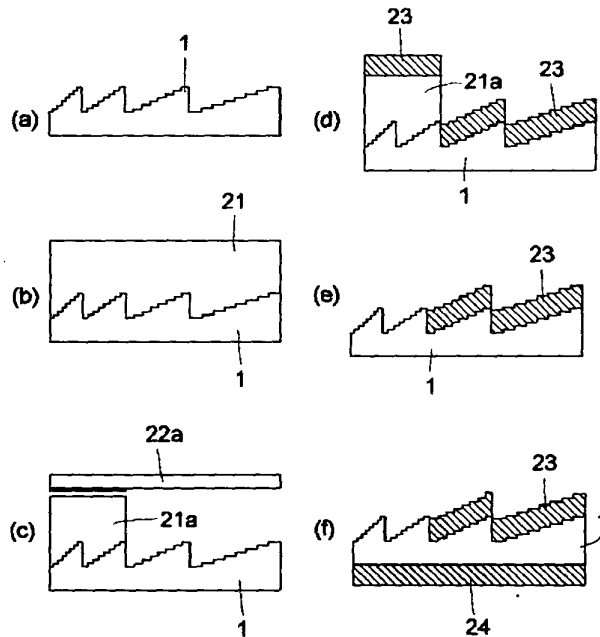
【図2】



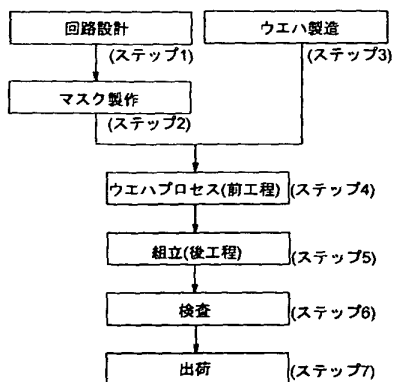
【図3】



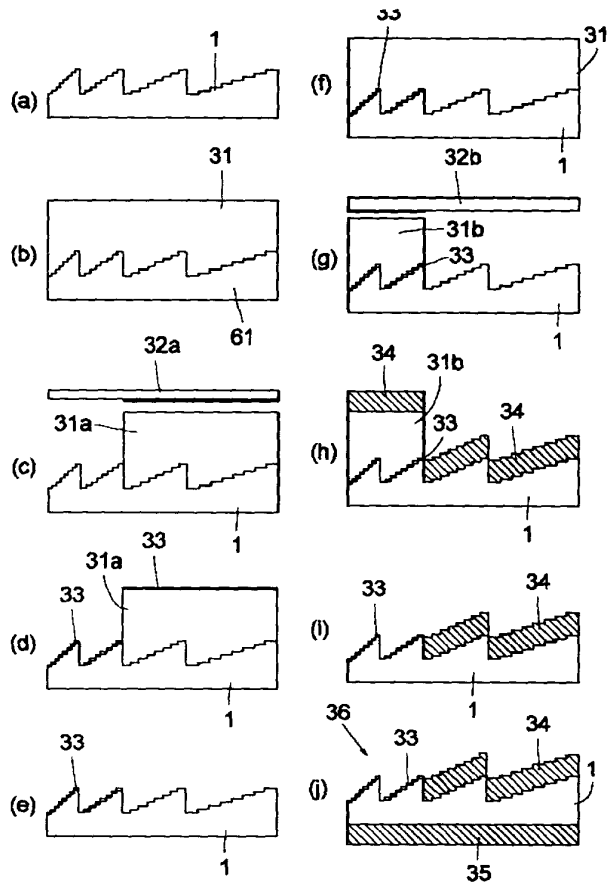
【図4】



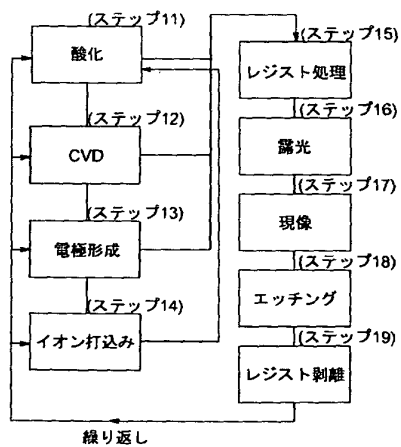
【図7】



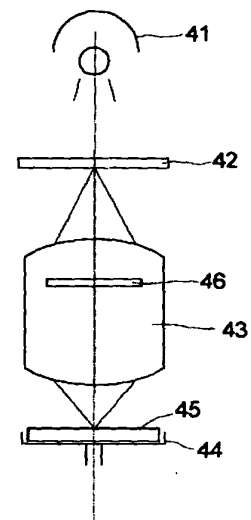
【図5】



【図8】



【図6】



【図9】

